
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010084247 A
(43)Date of publication of application: 06.09.2001

(21)Application number: 000009111	(71)Applicant: LG ELECTRONICS INC.
(22)Date of filing: 24.02.2000	(72)Inventor: LIM, CHAE ROK
(51)Int. Cl. H01L 29/786	

(54) THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A thin film transistor and a method for manufacturing the same are to overcome the fragile drawback of a device which is happened when a flexible film is used as a substrate.

CONSTITUTION: A cradle is formed on a flexible acrylate copolymer film(1), and a gate electrode(5) is formed under the cradle. An insulating film(6) consisting of dielectric material is formed on the entire surface of the substrate including the gate electrode. An active layer consisting of amorphous silicon is formed on the insulating film over the gate electrode. To expose a center of a surface of the active layer, a silicon layer(12,13) doped with n-type or p-type ion is formed on an edge of the insulating film and the active layer. A source(15) and a drain(14) are formed on the doped silicon layer, and metal (16,17) is connected to the source and the drain. Electric material(18) is deposited on the entire surface of the substrate.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20000224)

Final disposal of an application (registration)

Date of final disposal of an application (20020529)

Patent registration number (1003482840000)

Date of registration (20020729)

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) . Int. Cl. ⁷
H01L 29/786

(11) 공개번호 특2001 - 0084247
(43) 공개일자 2001년09월06일

(21) 출원번호 10 - 2000 - 0009111
(22) 출원일자 2000년02월24일

(71) 출원인 엘지전자주식회사
구자홍
서울시영등포구여의도동20번지

(72) 발명자 임채록
경기도안산시선부3동1141 - 14402호

(74) 대리인 김용인
심창섭

심사청구 : 있음

(54) 박막 트랜지스터 및 그의 제조방법

요약

신뢰성이 우수하고 저렴한 디스플레이를 제공하기 위한 박막 트랜지스터 및 그 제조방법으로서, 가요성 기판 상에 식각 과정을 통해 형성된 요람과, 요람 하부에 형성된 게이트 전극과, 게이트 전극을 포함한 기판 상에 형성된 절연막과, 게이트 전극 위에 증착된 절연막 상에 형성된 활성층과, 활성층의 표면의 중앙이 노출되도록 활성층과 게이트 전극 위쪽 절연막 모서리(edge) 상에 분리 형성된 도핑된 실리콘층과, 도핑된 실리콘층 상에 형성된 소스와 드레인 전극과, 소스와 드레인 전극에 연결된 금속과, 기판을 평탄화하는 유전 물질을 포함하여 구성되는 박막 트랜지스터이다. 따라서, 본 발명에 따른 박막트랜지스터를 이용하면, 가공과 신뢰성이 우수하고, 말아 가지고 다녀도 안전한 박막 트랜지스터 - 액정디스플레이(LCD)나 기타 디스플레이를 제조할 수 있다. 또한, 저온 공정을 사용하기 때문에, 제작비용이 저렴하여 많은 사람들에게 저가의 편리한 디스플레이를 제공할 수 있다.

대표도
도 1

색인어
가요성 기판, 요람, 박막 트랜지스터

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 박막 트랜지스터의 구조 단면도.

도 2은 본 발명에 따른 박막 트랜지스터의 공정 평면도.

도 3a 내지 도 3f는 본 발명에 따른 박막 트랜지스터의 제조 공정을 보여주는 공정 단면도 및 공정 사시도.

도면의 주요부분에 대한 부호의 설명

1 : 가요성 기판 12,13 : 도핑된 실리콘층

2,3: 포토레지스트 14 : 드레인 전극

4 : 요람 15 : 소스 전극

5 : 게이트 전극 16 : 드레인 금속에 연결된 금속

6 : 절연막 17 : 소스 금속에 연결된 금속

7,8 : 포토레지스트 패턴 18 : 유전 물질

9,10,11 : 활성층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 박막트랜지스터 및 그의 제조방법에 관한 것이다.

일반적으로, 박막트랜지스터(Thin Film Transistor:TFT)는 4M급 또는 10M급 이상의 에스램(SRAM) 셀에 있어서 CMOS로드 트랜지스터(load transistor)나 로드 레지스터(load resistor) 대신에 사용된다.

또한, 액정표시소자에서 각 픽셀(pixel) 영역의 화상 데이터 신호를 스위칭하는 스위칭 소자로도 널리 사용된다.

종래의 플라스틱 기판 위에 만드는 박막 트랜지스터는 고온에서 플라스틱 판 위에 돌출 형태로 만들어지거나 혹은 설계되었다.

발명이 이루고자 하는 기술적 과제

그러나, 이상에서 설명한 종래 기술에 따른 박막 트랜지스터 및 그의 제조방법에는 다음과 같은 문제점이 있다.

종래의 박막 트랜지스터는 플라스틱 판 위에 돌출 형태로 만들어지거나 설계되어서, 플라스틱의 고유한 특성인 고온에서 잘 구부러지는 특성 때문에 박막 트랜지스터가 쉽게 손상이 되었다.

예를 들어, 두루말이 디스플레이(display)를 만들 때, 종래의 박막 트랜지스터 기술을 사용한다면 디스플레이를 말게 될 경우, 박막 트랜지스터는 눌리거나 바로 손상이 될 것이다.

따라서 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 가요성 기판(flexible film)에 요람(cradled) 구조를 만들어 그 요람 안에 저온으로 박막 트랜지스터를 제조함으로써, 박막 트랜지스터 - 액정디스플레이(LCD)나 기타 디스플레이에 적용했을 때, 말아 가지고 다녀도 안전한 우수하고 저렴한 박막 트랜지스터 및 그의 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 박막 트랜지스터는 가요성 기판 상에 형성된 요람과, 요람 하부에 형성된 게이트 전극과, 게이트 전극을 포함한 기판 상에 형성된 절연막과, 게이트 전극 위에 증착된 절연막 상에 형성된 활성층과, 활성층 표면의 중앙이 노출되도록 활성층과 게이트 전극 위쪽 절연막 모서리 상에 분리 형성된 도핑된 실리콘층과, 도핑된 실리콘층 상에 형성된 소스와 드레인 전극과, 소스와 드레인 전극에 연결된 금속과, 기판을 평탄화하는 유전 물질을 포함하여 구성되는 것을 특징으로 한다.

위와 같이 구성된 본 발명의 박막 트랜지스터 제조방법은 가요성 기판을 식각하여 요람을 형성하는 공정과, 요람 하부에 게이트 전극을 형성하는 공정과, 게이트 전극을 포함한 기판 상에 절연막을 형성하는 공정과, 게이트 전극 위쪽의 절연막 상에 활성층을 형성하는 공정과, 활성층 표면의 중앙이 노출되도록 활성층과 게이트 위쪽 절연막 모서리 상에 도핑된 실리콘층을 분리 형성하는 공정과, 도핑된 실리콘층 상에 소스와 드레인 전극을 형성하는 공정과, 소스와 드레인 전극에 금속을 연결하는 공정과, 기판을 유전 물질을 이용하여 평탄화하는 과정을 포함하여 이루어지는 것을 특징으로 한다.

본 발명에 따르면, 가요성 기판에 요람 구조를 만들어 그 요람 안에 박막 트랜지스터를 제조함으로써, 가공과 신뢰성이 우수한 박막 트랜지스터를 얻을 수 있다. 따라서, 본 발명에 따른 박막 트랜지스터를 이용하면 말아 가지고 다녀도 안전한 박막 트랜지스터 - 액정디스플레이(LCD)나 기타 디스플레이를 제조할 수 있다. 또한, 저온 공정을 사용하기 때문에, 제작비용이 저렴하여 많은 사람들에게 저가의 편리한 디스플레이를 제공할 수 있다.

본 발명의 다른 목적, 특성 및 이점들은 첨부한 도면을 참조한 실시 예의 상세한 설명을 통해 명백해질 것이다.

본 발명에 따른 박막 트랜지스터 및 그의 제조방법의 바람직한 실시 예에 대하여 첨부한 도면을 참조하여 설명하면 다음과 같다.

도 1은 본 발명에 따른 박막 트랜지스터의 구조단면도이고, 도 2는 본 발명에 따른 박막 트랜지스터의 구조평면도이다.

먼저, 도 1에 도시한 바와 같이, 본 발명에 따른 박막 트랜지스터는 가요성 아크릴 코폴리머 기판(flexible acrylate copolymer film) (1)에 요람이 형성되고, 요람 하부에 게이트 전극(5)이 형성되고, 게이트 전극을 포함한 기판(1) 전면에 SiN이나 SiO₂와 같은 유전물질로 이루어진 절연막(6)이 형성된다. 그리고, 게이트 전극(5) 위쪽의 절연막(6) 상에 비정질 실리콘(amorphous silicon)으로 이루어진 활성층(11)이 형성되고, 활성층(11)이 노출되도록 활성층(11)과 게이트(5) 전극 위쪽 절연막 모서리 위로 n형 또는 p형으로 도핑된 실리콘층(12,13)이 분리 형성되고, 도핑된 실리콘층(12,13) 상에 소스(15)와 드레인(14) 전극이 형성된다. 그리고, 소스(15)와 드레인(14) 전극에 드레인을 넓게 하며, 소스 전극을 요람 주위의 벽까지 연결시키는 금속(16,17)을 연결하고, 기판(1)을 평탄화하기 위해 형성되는 유전 물질(18)이 형성된다.

도 2는 본 발명에 따른 박막 트랜지스터를 위에서 바라본 구조 평면도이다.

도 2에 도시된 바와 같이, 소스 전극(15)에 연결한 금속(17)이 게이트 전극(5)과 교차하는 것이 보인다. 그러나, 금속(17)과 게이트 전극(5) 사이에 반도체 디바이스의 표면이나 접합부에 적당한 처리를 하고, 유해한 환경을 차단하여 디바이스 특성의 안정화를 꾀하는 패시베이션(passivation)에 사용된 절연막(6)이 있어 단락은 발생하지 않는다.

이와 같이 구성된 본 발명의 박막 트랜지스터 제조방법을 설명하면 다음과 같다.

도 3a 내지 3i은 본 발명에 따른 박막 트랜지스터의 공정단면도이다.

도 3a에 도시한 바와 같이, 가요성 기판(1) 상의 일정 영역 주위에 노광 및 현상 공정을 이용하여 포토레지스트(2,3)를 형성한다.

도 3b에 도시한 바와 같이, 포토레지스트(2,3)를 마스크로 이용하여 가요성 기판(1)을 식각하면 요람(4)이 형성된다.

여기서, 식각은 리액티브 이온 식각(Reactive Ion Etching:RIE)이나 스퍼터링(sputtering), 습식 식각(wet etching) 등 여러 가지 방법을 사용할 수 있고, 요람(4)의 깊이는 다양할 수 있겠으나, 약 5000Å이 적당하다.

도 3c에 도시한 바와 같이, 요람(4)이 형성된 가요성 기판(1) 상의 포토레지스트(2,3)를 제거하고, 게이트 전극(5) 형성을 위한 패턴을 형성한다. 그 후에, 식각하여 게이트 전극 물질을 선택적으로 제거함으로써, 게이트 전극(5)을 형성한다.

여기서, 게이트 전극(5) 물질로는 Ti/Au를 사용하는데, 이 외에 용도에 따라 금속의 종류와 구성은 바꿀 수 있고, ITO(Indium Tin Oxide) 금속을 사용하여도 된다. 게이트 전극(5) 증착 장비로는 에바포레이터(evaporator)가 사용되며, 이 외에 다양한 장비가 사용 가능하다.

도 3d는 지금까지의 박막 트랜지스터 제조과정을 입체적으로 보이고 있는 공정 사시도이다.

도 3d에 도시한 바와 같이, 가요성 기판(1)을 식각하여 요람(4)이 형성된 모습, 요람(4) 하부에 형성된 게이트 전극(5)의 모습과 게이트 전극(5)의 위치 등을 볼 수 있다.

도 3d에 도시한 바와 같이, 게이트 전극(5)을 요람 주위의 벽(wall) 위로 길게 뽑아내고, 동시에 전기 신호가 들어올 금속 라인이 같이 만들어진다.

도 3e에 도시한 바와 같이, 게이트 전극(5)을 계속해서 만들어질 소스 전극(15)과 드레인 전극(14)과 절연하기 위한 절연막(6)을 증착한다.

여기서, 절연막(6)으로 사용된 물질은 SiN이고, PECVD(Plasma Enhanced Chemical Vapor Deposition) 장비를 이용하여 약 110℃ 이하에서 $\text{SiH}_4:\text{NH}_3:\text{N}_2 = 10\text{sccm}:40\text{sccm}:100\text{sccm}$ 의 가스 조합과 절연막(6) 증착시 압력 약 300mTorr의 조건으로 증착하고, 위 조건의 가스 조합을 바꾸거나 증착시 압력을 바꾸는 등 다양한 조건에서 SiN을 증착할 수 있다. 또한, SiN 외에 SiO_2 와 같은 다른 유전 물질을 사용하는 것도 가능하며, 증착 장비의 경우도 여기서 사용된 PECVD 외에 PRCVD, ECR-CVD, 스퍼터 장비 등을 사용하여도 된다.

이어서, 도 3f에 도시한 바와 같이, 절연막(6) 활성층을 증착할 부분을 위한 포토레지스트를 형성하고, 게이트 위쪽의 절연막 상의 포토레지스트를 제거하여 포토레지스트패턴(7,8)을 형성한다. 여기서, 포토레지스트패턴(7,8)에 오버행(over hang)을 만들었다.

도 3g에 도시한 바와 같이, 저온에서 포토레지스트패턴(7,8)을 마스크로 이용하여 비정질 실리콘(9,10,11)을 형성한다. 그러면, 비정질 실리콘의 일부(9,10)는 포토레지스트(7,8) 위에 증착되고, 또 다른 일부(11)는 게이트 위쪽 절연막 상에 증착된다.

여기서, 비정질 실리콘(amorphous silicon)(9,10,11)으로 사용된 물질은 SiN이고, 약 110℃ 이하에서, $\text{SiH}_4:\text{H}_2 = 10\sim 30\text{sccm}:10\sim 300\text{sccm}$ 의 가스 조합과 비정질 실리콘 증착시 압력을 약 100~900mTorr의 조건으로 증착한다. 캐리어 가스(carrier gas)로 사용된 H_2 외에 Ar 등 다양한 가스의 사용이 가능하다. 그리고, 위 조건의 가스 조합, 가스 유량은 바뀌어도 무방하다.

도 3h에 도시한 바와 같이, 포토레지스트패턴(7,8)을 제거하면, 포토레지스터(7,8) 위에 증착된 비정질 실리콘(9,11)이 동시에 제거되고, 게이트쪽 절연막 위의 비정질 실리콘(10)만 남아있게 되어 활성층이 형성된다.

도 3i에 도시한 바와 같이, 활성층(10)의 중앙이 노출되도록 활성층과 게이트 전극 위쪽 절연막의 모서리 상에 계단 형상으로 도핑된 실리콘층(12,13)을 분리 형성시킨다.

여기서, 도핑된 실리콘층은 n형을 위해서는 인(P)을 사용하고, p형을 위해서는 보론(B)을 사용하여 형성한다. 도핑된 실리콘층 형성시 사용 장비는 PECVD이지만, 다른 장비를 사용하여도 무방하다.

도 3j에 도시한 바와 같이, 도핑된 실리콘층(12,13) 상에 소스(15) 및 드레인(14) 전극을 형성시킨다.

여기서, 드레인(14)과 소스(15)에 사용된 금속은 Ti/Au이지만, 용도에 따라 다른 금속으로 바뀌어서 사용하여도 무방하다.

도 3k에 도시된 바와 같이, 드레인 전극(14)에 금속(16)을 연결하여 드레인을 넓게 하고, 소스 전극(15)에 금속(17)을 연결하여 요람·주위의 벽(wall) 위로 소스 금속을 뽑아내었다.

여기서, 사용된 금속은 ITO금속이지만, 용도에 따라 다른 금속을 사용하여도 무방하다.

도 3l에 도시된 바와 같이, 위에서 만들어진 박막 트랜지스터를 보호하고, 러빙(rubbing)을 위한 유전물질(18)로 기판(1)을 평탄화한다.

여기서, 기판 평탄화에 사용되는 물질은 보다 안정성을 높이기 위해서 큐어링 온도가 높은 폴리이미드를 사용했지만, 그 외에 기타 유전물질을 사용하여도 무방하다.

위와 같은 과정들을 거쳐 본 발명의 박막 트랜지스터 제조 공정이 완료된다.

발명의 효과

이상에서 설명한 바와 같은 본 발명에 따른 박막 트랜지스터 및 그의 제조방법에는 다음과 같은 효과가 있다.

가요성 기판에 요람 구조를 만들어 그 요람 안에 박막 트랜지스터를 제조함으로써, 가요성 필름을 기판으로 사용하였을 때의 소자가 쉽게 부서질 수 있는 단점을 극복하고, 가공과 신뢰성이 우수한 박막 트랜지스터를 얻을 수 있다.

따라서, 본 발명에 따른 박막 트랜지스터를 이용하면 말아 가지고 다녀도 안전한 박막 트랜지스터-액정디스플레이(LCD)나 기타 디스플레이를 제조할 수 있다.

또한, 저온 공정을 사용하기 때문에, 제작비용이 저렴하여 많은 사람들에게 저가의 편리한 디스플레이를 제공할 수 있는 효과가 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술적 범위는 실시 예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

(57) 청구의 범위

청구항 1.

가요성 기판과,

상기 개요성 기판 상에 형성된 요람과,

상기 요람 하부에 형성된 게이트 전극과,

상기 게이트 전극을 포함한 상기 개요성 기판 상에 형성된 절연막과,

상기 게이트 전극 위에 증착된 절연막 상에 형성된 활성층과,

상기 활성층의 표면의 중앙이 노출되도록 상기 활성층과 상기 게이트 전극 위쪽 절연막 모서리 상에 분리 형성된 도핑된 실리콘층과,

상기 도핑된 실리콘층 상에 형성된 소스와 드레인 전극과,

상기 소스와 드레인 전극에 연결된 금속과,

상기 기판을 평탄화하는 유전 물질을 포함하여 구성됨을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서,

상기 개요성 기판은 개요성 아크릴 코폴리머 기판을 사용하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항에 있어서,

상기 활성층은 비정질 실리콘으로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

가요성 기판을 식각하여 요람을 형성하는 단계;

상기 요람 하부에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 포함한 상기 개요성 기판 상에 절연막을 형성하는 단계;

상기 게이트 전극 위쪽의 절연막 상에 활성층을 형성하는 단계;

상기 활성층의 표면의 중앙이 노출되도록 상기 활성층과 상기 게이트 전극 위쪽 절연막 모서리 상에 도핑된 실리콘층을 분리 형성하는 단계;

상기 도핑된 실리콘층 상에 소스와 드레인 전극을 형성하는 단계;

상기 소스와 드레인 전극에 금속을 연결하는 단계;

상기 기판을 유전 물질을 이용하여 평탄화하는 단계를 포함하여 이루어지는 것을 특징으로 하는 박막트랜지스터 제조 방법.

청구항 5.

제 4항에 있어서,

상기 요람을 형성하는 방법은,

상기 가요성 기판 상의 일정 영역 주위에 포토레지스트를 형성하는 단계;

상기 포토레지스트를 마스크로 이용하여 상기 가요성 기판을 식각하는 단계;

상기 포토레지스트를 제거하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조방법.

청구항 6.

제 4항에 있어서, 상기 절연막과 상기 활성층은 110℃ 이하의 온도에서 형성하는 것을 특징으로 하는 박막 트랜지스터 및 그의 제조방법.

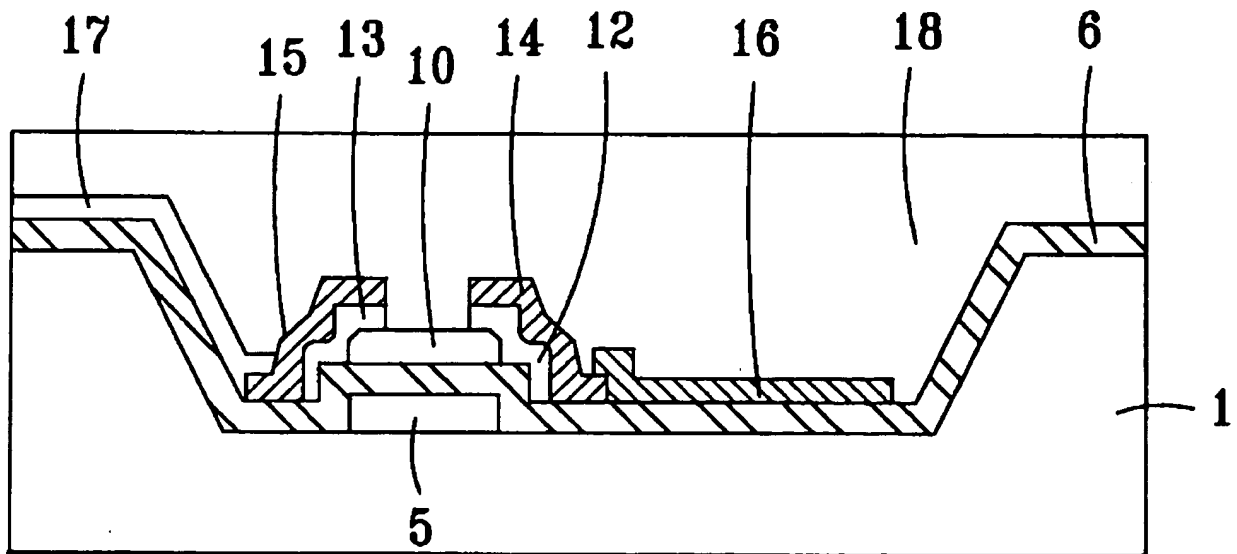
청구항 7.

제 4항에 있어서,

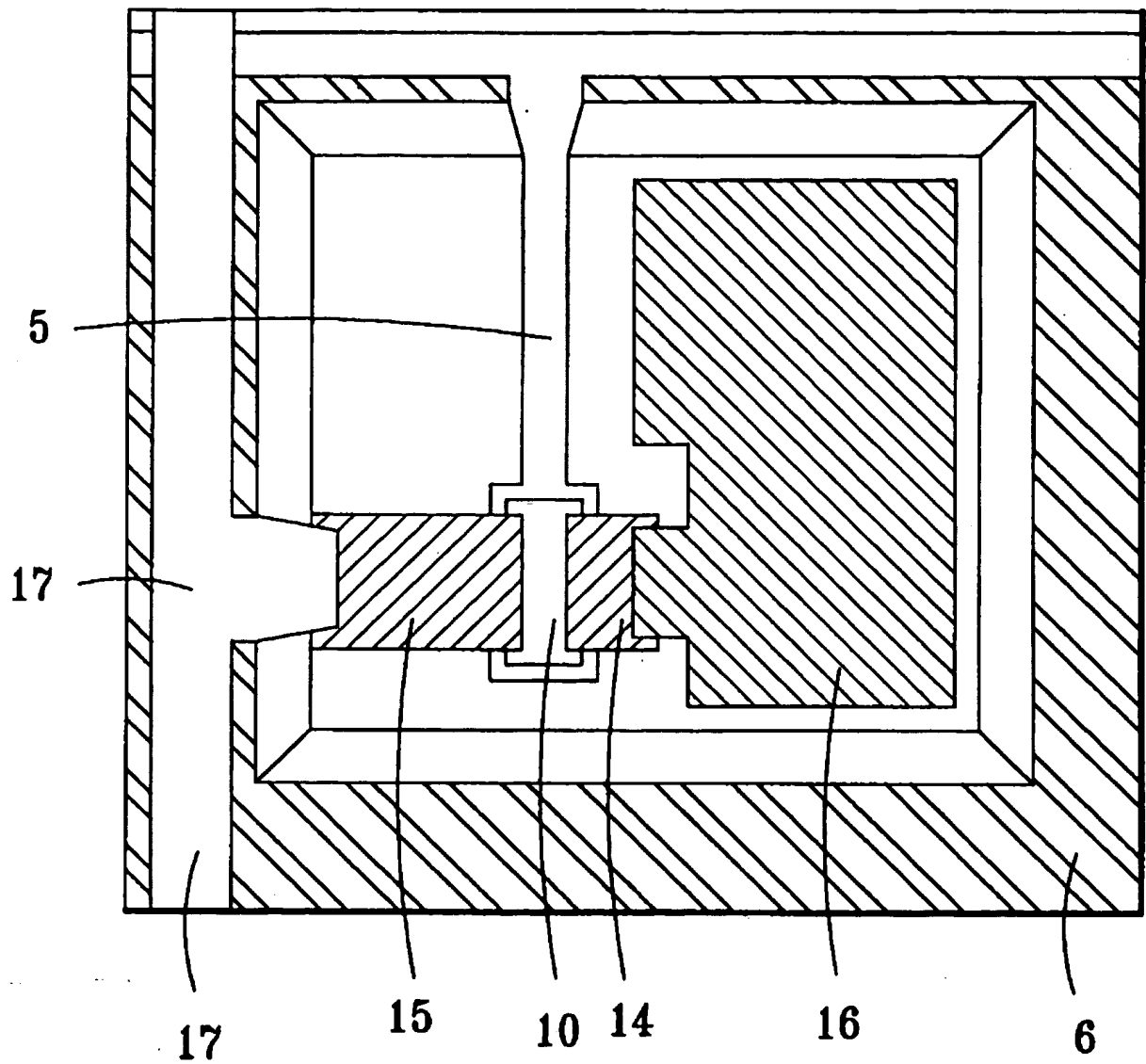
상기 게이트 전극과 상기 소스 전극에 연결된 상기 금속은 상기 요람 주위의 벽 위까지 길게 형성하는 것을 특징으로 하는 박막 트랜지스터.

도면

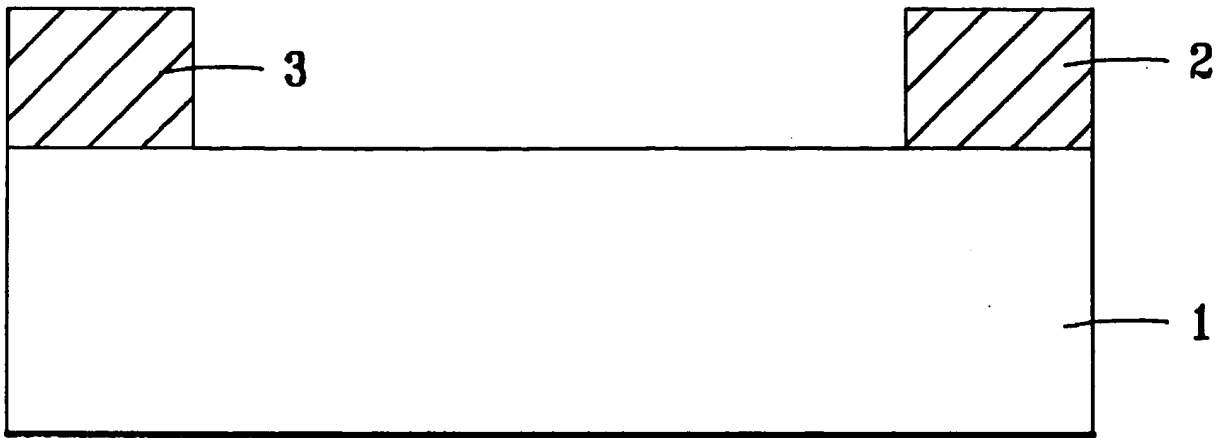
도면 1



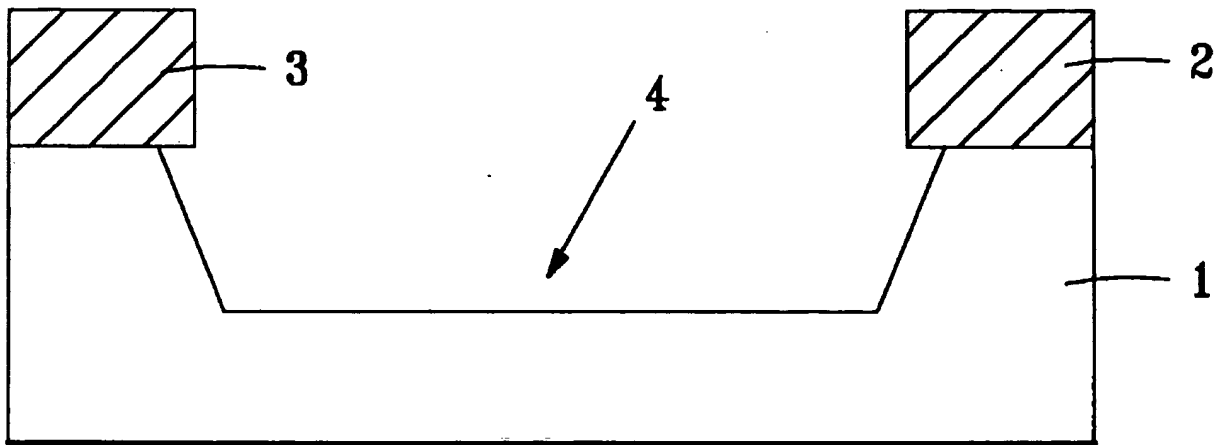
도면 2



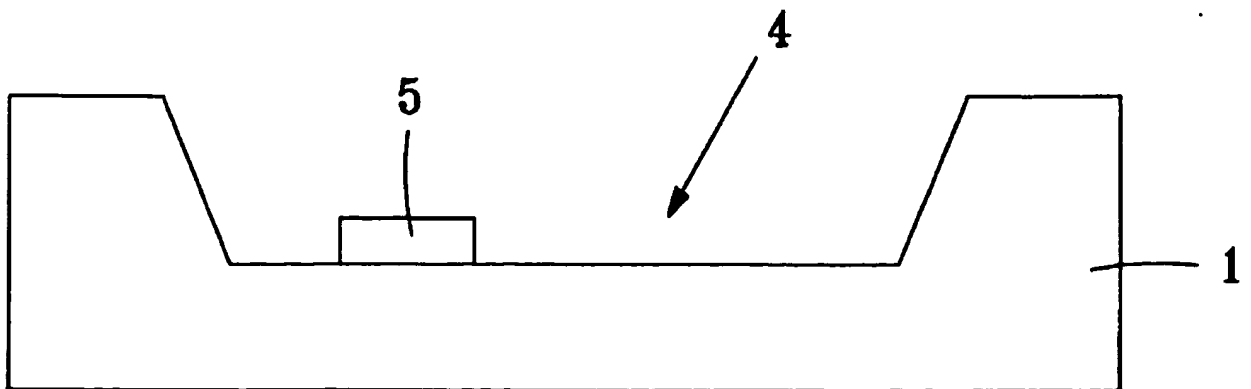
도면 3a



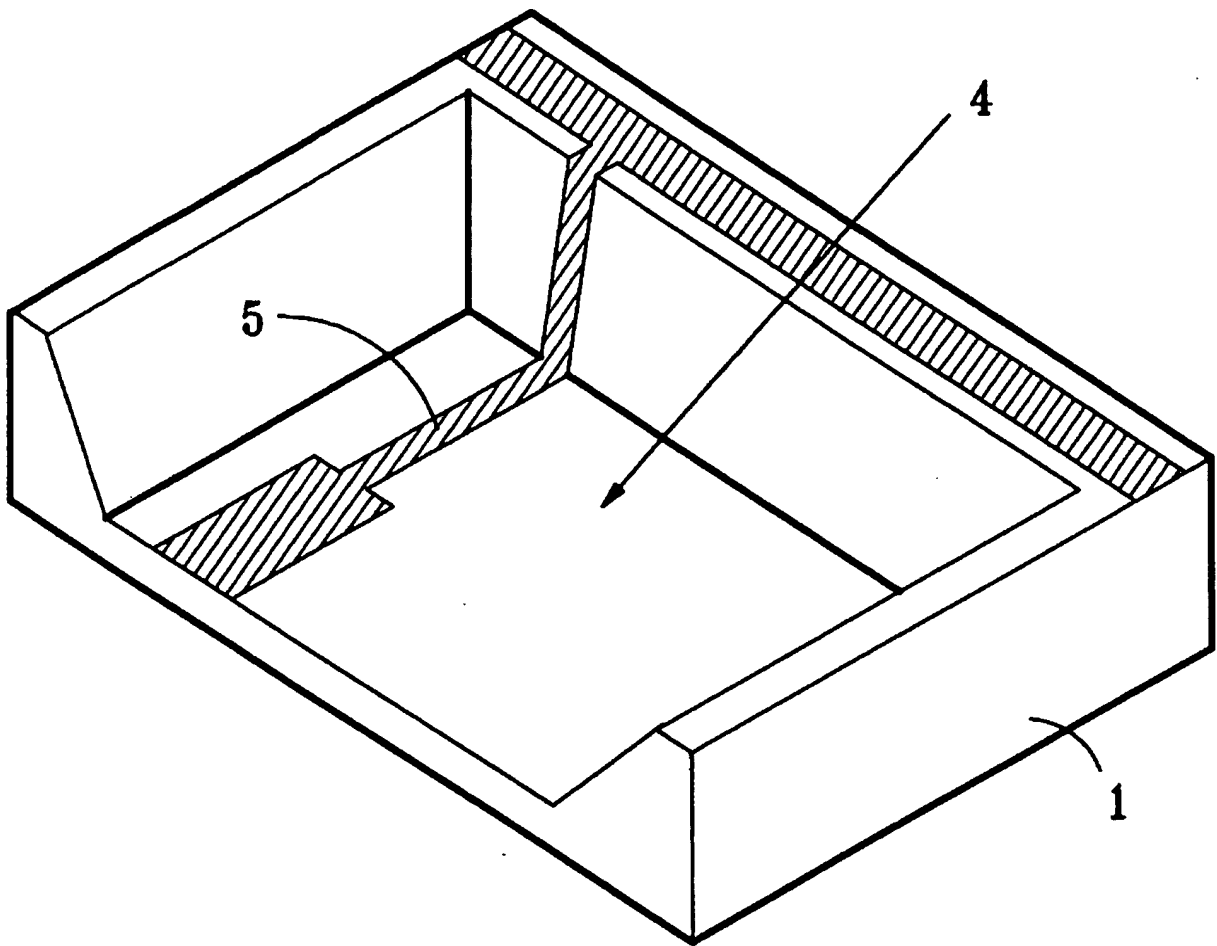
도면 3b



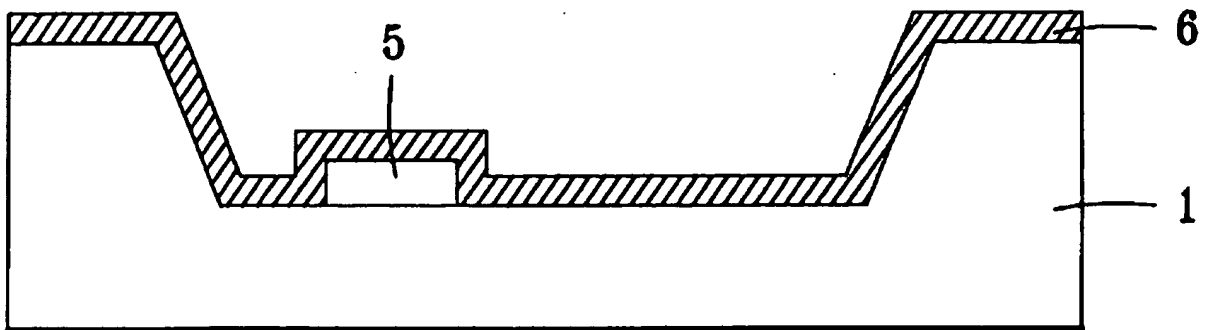
도면 3c



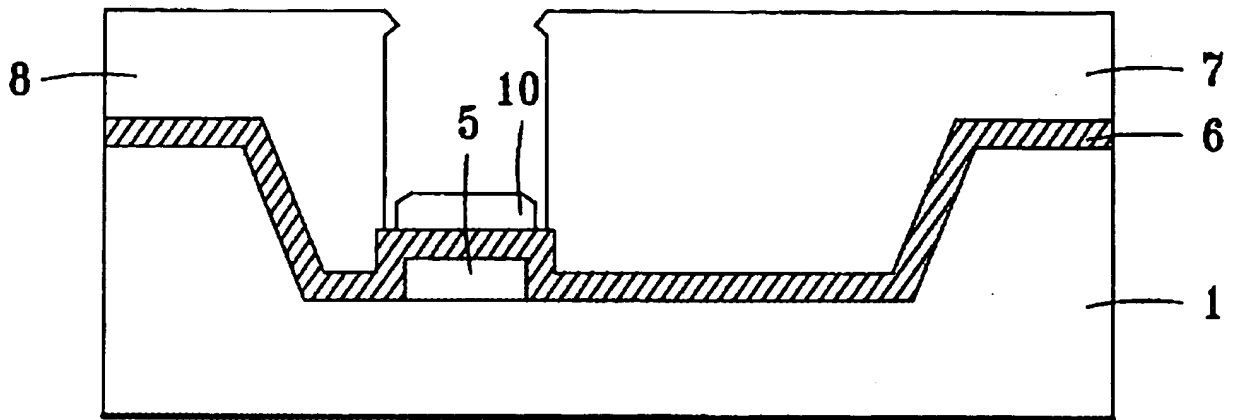
도면 3d



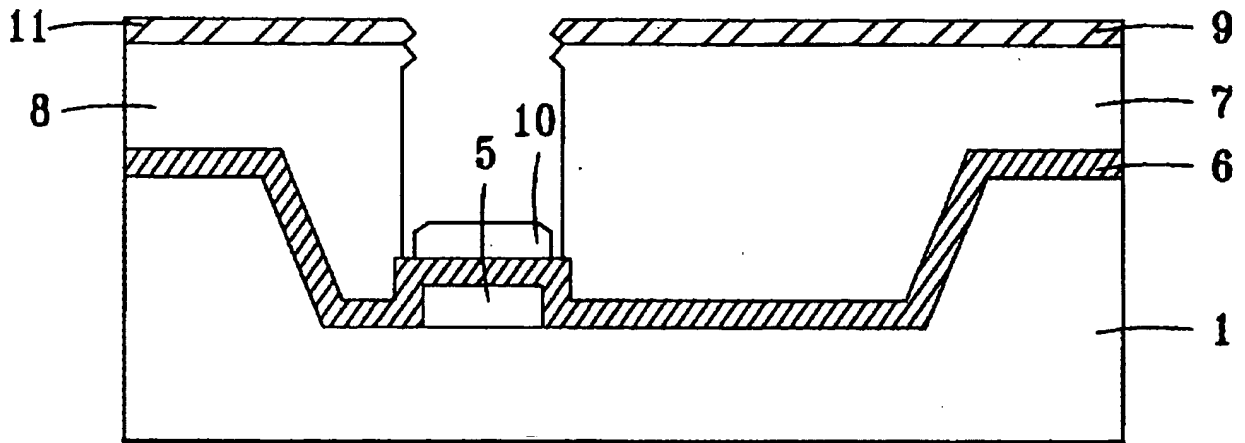
도면 3e



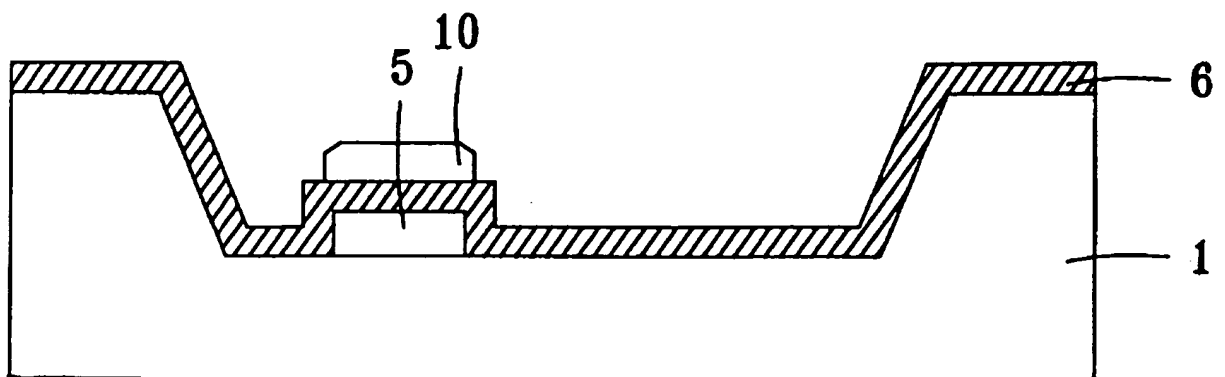
도면 3f



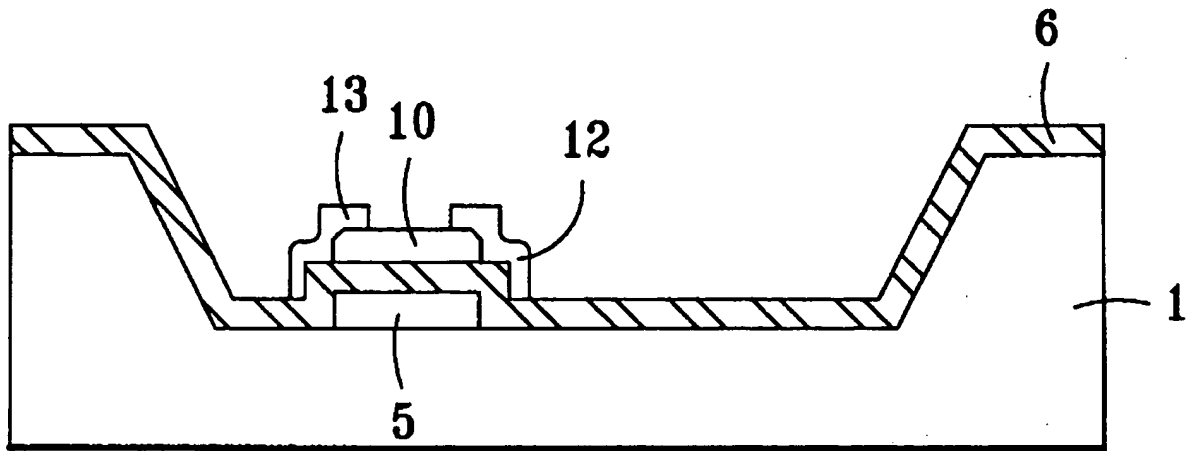
도면 3g



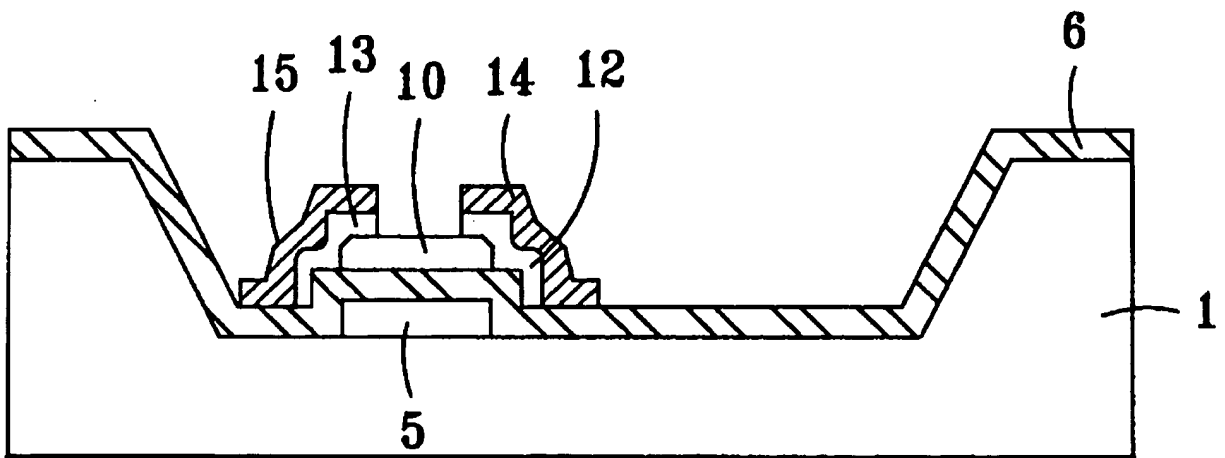
도면 3h



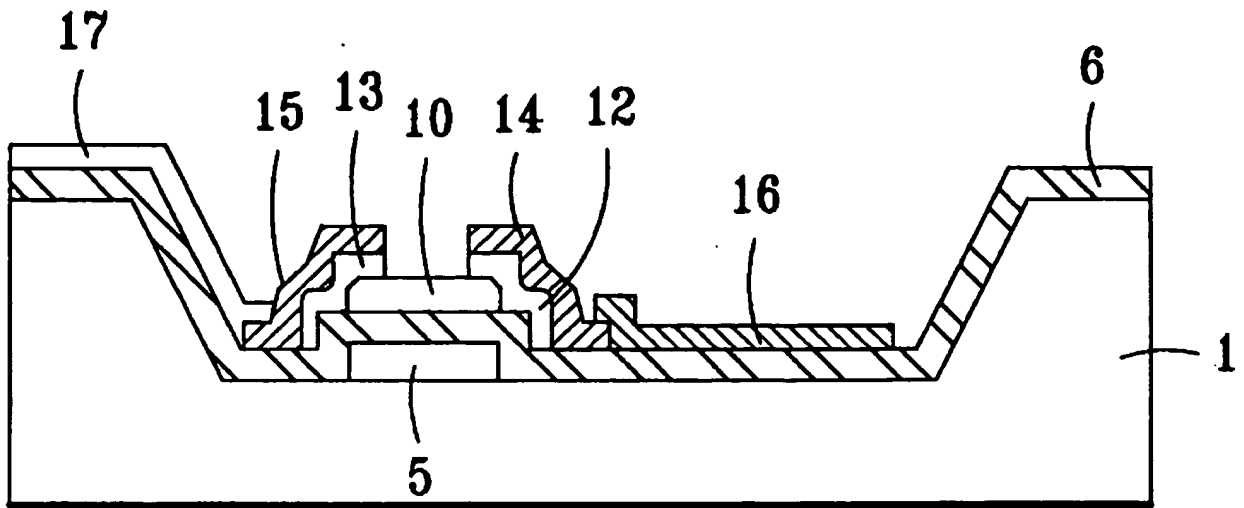
도면 3i



도면 3j



도면 3k



도면 3l

